



DOCKET NO.: 5882P067

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Application of:

CHONG KI KWON, ET AL.

Application No.: 10/730,832

Filed: December 08, 2003

For: **Variable Gain Amplifier**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2002-78447	10 December 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

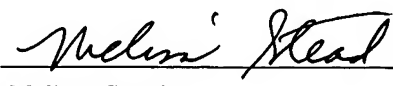
Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 1/22/04

  
Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Melissa Stead

1-22-04  
Date



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0078447  
Application Number

출원 년 월 일 : 2002년 12월 10일  
Date of Application DEC 10, 2002

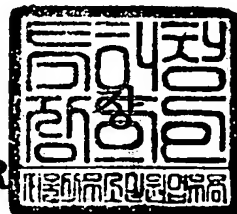
출원인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Institute



2003 년 06 월 02 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002. 12. 10
【발명의 명칭】	가변 이득 증폭기
【발명의 영문명칭】	Variable gain amplifier
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	권종기
【성명의 영문표기】	KWON, Chong Ki
【주민등록번호】	570715-1691814
【우편번호】	302-761
【주소】	대전광역시 서구 내동 롯데아파트 101-706
【국적】	KR
【발명자】	
【성명의 국문표기】	조규형
【성명의 영문표기】	CHO, Gyu Hyung
【주민등록번호】	530419-1010414
【우편번호】	302-772
【주소】	대전광역시 서구 둔산동 크로바아파트 117-201
【국적】	KR
【발명자】	
【성명의 국문표기】	박문양
【성명의 영문표기】	PARK, Mun Yang
【주민등록번호】	580918-1674616



1020020078447

출력 일자: 2003/6/3

【우편번호】	305-503
【주소】	대전광역시 유성구 송강동 200-4 한마을아파트 109동 105호
【국적】	KR
【발명자】	
【성명의 국문표기】	김종대
【성명의 영문표기】	KIM, Jong Dae
【주민등록번호】	540809-1110127
【우편번호】	302-724
【주소】	대전광역시 서구 관저동 대자연마을아파트 108-2105
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	197,000 원
【기술이전】	
【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 CMOS 가변 이득 증폭기(variable gain amplifier; VGA)에 관한 것으로, 넓은 범위의 전압을 입력하여 전류로 변환시키기 위한 전압-전류 변환기와, 상기 전압-전류 변환기로부터의 전류를 입력하고 제 1 및 제 2 조절 전압에 따라 출력 전류의 크기를 조절하기 위한 전류 공유 회로와, 상기 전류 공유 회로로부터의 출력 전류를 입력하여 바이어스 전압에 따라 차동 전압으로 변환시켜 가변 이득을 얻기 위한 전류-전압 변환기를 포함하여 이루어져, 전류 공유 회로를 구성하는 NMOS 트랜지스터의 게이트 전압 대비 드레인단의 출력 전류의 크기를 조절하여 가변 이득을 갖는 전압 증폭기를 제공함으로써 낮은 공급 전원에서 고속으로 동작하는 집적회로(IC)형 가변 이득 증폭기가 제공된다.

**【대표도】**

도 2

**【색인어】**

가변 이득 증폭기, 전압-전류 변환기, 전류 공유 회로, 전류-전압 변환기

**【명세서】****【발명의 명칭】**

가변 이득 증폭기{Variable gain amplifier}

**【도면의 간단한 설명】**

도 1은 본 발명에 따른 CMOS 가변 이득 증폭기의 기본 구성을 설명하기 위한 블록도.

도 2는 본 발명의 일 실시 예에 따른 CMOS 가변 이득 증폭기의 회로도.

도 3은 본 발명의 다른 실시 예에 따른 CMOS 가변 이득 증폭기의 회로도.

도 4는 본 발명의 또다른 실시 예에 따른 CMOS 가변 이득 증폭기의 회로도.

<도면의 주요 부분에 대한 부호의 설명>

11 : 전압-전류 변환기    12 : 전류 공유 회로

13 : 전류-전압 변환기

41 : 제 1 능동 부하    42 : 제 2 능동 부하

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9>    본 발명은 CMOS 가변 이득 증폭기(Variable Gain Amplifier; VGA)에 관한 것으로, 특히 NMOS 트랜지스터의 게이트 전압 대비 드레인단의 출력 전류의 크기를 조절하여 가변 이득을 갖도록 함으로써 저전압/고속 동작 범위에서 이득을 조절하는 기능을 제공하

고 조절 전압에 의해서 넓은 범위에서 전압 이득을 조절하도록 하며, IC로 내장할 수 있는 CMOS 가변 이득 증폭기에 관한 것이다.

<10> CMOS 가변 이득 증폭기를 설계할 때 반드시 고려해야만 하는 사항은 원하는 신호 크기에 대한 신호 대비 잡음지수(Signal-to-Noise; SNR)의 극대화, 주파수 대역폭 (bandwidth)의 크기, 저왜곡, 원하는 선형성(linearity)을 보장하는 입력 신호의 크기, 잡음 특성, 조절 전압(control voltage) 및 이득 조절 범위(gain control range) 등이 있다. 또한, 회로에 대한 온도나 전원 전압의 의존성을 배제할 수가 없다. 특히 CMOS 회로는 동작 주파수 범위가 현재의 소자기술 특성상 100MHz 이상을 가지기 쉽지 않다. 그리고, MOS 소자의 문턱 전압(threshold) 크기 축소의 제한성 때문에 입출력 신호 크기가 제한되어 낮은 공급 전원에 대한 원활한 회로 동작을 기대하기 어렵다.

<11> 따라서, 저소비 전력의 특성을 가지며 저전압에서 고속으로 동작하는 CMOS 가변 이득 증폭기를 집적회로(Integrated Circuit)로 구현하기 어렵다.

#### 【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 낮은 공급 전압에서 조절 전압에 의해서 넓은 범위를 가지는 입력 신호에 대한 가변 이득 증폭 기능을 제공하며 안정된 전류 바이어스에 의한 광대역 동작 특성을 갖는 CMOS 가변 이득 증폭기를 제공하는데 있다.

<13> 본 발명의 다른 목적은 IC로 내장할 수 있는 전력 소모가 적은 집적회로 내장형 CMOS 가변 이득 증폭기를 제공하는데 있다.

## 【발명의 구성 및 작용】

- <14> 본 발명에 따른 가변 이득 증폭기는 넓은 범위의 전압을 입력하여 전류로 변환시키기 위한 전압-전류 변환기와, 상기 전압-전류 변환기로부터의 전류를 입력하고 제 1 및 제 2 조절 전압에 따라 출력 전류의 크기를 조절하기 위한 전류 공유 회로와, 상기 전류 공유 회로로부터의 출력 전류를 입력하여 바이어스 전압에 따라 차동 전압으로 변환시켜 가변 이득을 얻기 위한 전류-전압 변환기를 포함하여 이루어진 것을 특징으로 한다.
- <15> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며, 이 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 도면상에서 동일 부호는 동일 요소를 지칭한다.
- <16> 도 1은 본 발명에 따른 CMOS 가변 이득 증폭기의 기본 구성을 설명하기 위한 블록도로서, 입력 전압( $V_{in+}$  및  $V_{in-}$ )을 입력하여 전류로 변환시키는 전압-전류 변환기(V-I converter)(11), 전압-전류 변환기(11)로부터 변환된 전류를 입력하고 조절 전압( $V_{c+}$  및  $V_{c-}$ )에 따라 트랜스컨덕턴스(transconductance)를 조절하여 전류의 크기를 조절하는 전류 공유 회로(12), 그리고 전류 공유 회로(12)로부터 입력된 전류를 바이어스 전압( $V_b$ )에 따라 전압으로 변환시키는 전류-전압 변환기(I-V converter)(13)로 구성된다.
- <17> 도 2는 본 발명의 일 실시 예에 따른 CMOS 가변 이득 증폭기의 회로도로서, 그 구성을 설명하면 다음과 같다.



- <18> 전압-전류 변환기(11)는 제 1 및 제 2 저항(R21 및 R22)으로 구성되는데, 제 1 저항(R21)은 제 1 입력 전압( $V_{in+}$ ) 단자와 제 1 노드(Q21) 사이에 접속되고, 제 2 저항(R22)은 제 2 입력 전압( $V_{in-}$ ) 단자와 제 2 노드(Q22) 사이에 접속된다.
- <19> 전류 공유 회로(12)는 제 1 조절 전압( $V_{c+}$ )에 따라 구동되는 제 1 및 제 2 NMOS 트랜지스터(N21 및 N22)와 제 2 조절 전압( $V_{c-}$ )에 따라 구동되는 제 3 및 제 4 NMOS 트랜지스터(N23 및 N24)로 구성되어 제 1 내지 제 4 NMOS 트랜지스터(N21 내지 N24)의 게이트 전압 대비 드레인단의 출력 전류의 크기를 조절한다. 제 1 NMOS 트랜지스터(N21)는 제 1 노드(Q21)와 제 3 노드(Q23) 사이에 접속되며 제 1 조절 전압( $V_{c+}$ )에 따라 구동된다. 제 2 NMOS 트랜지스터(N22)는 제 2 노드(Q22)와 제 4 노드(Q24) 사이에 접속되며 제 1 조절 전압( $V_{c+}$ )에 따라 구동된다. 제 3 NMOS 트랜지스터(N23)는 제 1 노드(Q21)와 제 4 노드(Q24) 사이에 접속되며 제 2 조절 전압( $V_{c-}$ )에 따라 구동된다. 제 4 NMOS 트랜지스터(N24)는 제 2 노드(Q22)와 제 3 노드(Q23) 사이에 접속되며 제 2 조절 전압( $V_{c-}$ )에 따라 구동된다.
- <20> 전류-전압 변환기(13)는 제 3 및 제 4 저항(R23 및 R24), 제 5 및 제 6 NMOS 트랜지스터(N25 및 N26), 그리고 제 1 및 제 2 전류원( $I_{s1}$  및  $I_{s2}$ )로 구성된다. 전원 단자( $V_{dd}$ )와 제 1 출력 단자( $V_{o+}$ ) 사이에 제 3 저항(R23)이 접속되고, 전원 단자( $V_{dd}$ )와 제 2 출력 단자( $V_{o-}$ ) 사이에 제 4 저항(R24)이 접속된다. 제 1 출력 단자( $V_{o+}$ )와 제 3 노드(Q23) 사이에 바이어스 전압( $V_{b1}$ )에 따라 구동되는 제 5 NMOS 트랜지스터(N25)가 접속되고, 제 2 출력 단자( $V_{o-}$ )와 제 4 노드(Q24) 사이에 바이어스 전압( $V_{b1}$ )에 따라 구동되는 제 6 NMOS 트랜지스터(N26)가 접속된다. 그리고, 제 3 노드(Q23)와 접지 단자( $V_{ss}$ )

사이에 제 1 전류원(Is1)이 접속되고, 제 4 노드(Q24)와 접지 단자(Vss) 사이에 제 2 전류원(Is2)이 접속된다.

<21>      상기와 같이 구성되는 본 발명에 따른 가변 이득 증폭기의 구동 방법을 설명하면 다음과 같다.

<22>      제 1 및 제 2 입력 전압(Vin+ 및 Vin-)은 전압-전류 변환기(11)를 구성하는 제 1 및 제 2 저항(R21 및 R22)에 의해 전류로 변환되고, 이 전류는 전류 공유 회로(12)로 공급된다.

<23>      전류 공유 회로(12)는 제 1 내지 제 4 NMOS 트랜지스터(N21, N22, N23 및 N24)를 이중 밸런스 소오스 커플드 페어(double balance source coupled pair) 형태로 구성하고, 각 트랜지스터의 게이트 단자에 인가되는 조절 전압(Vc+ 및 Vc-)에 의해 선형 영역(triode region)에서 트랜스컨덕턴스를 조절함으로써 가변 출력 전류를 얻게 된다. 각 트랜지스터의 드레인(drain)단을 흐르는 전류는 아래의 [수학식 1] 내지 [수학식 4]와 같다.

<24>      **【수학식 1】** 
$$I_{N21} = K \left[ \left[ \left( V_{GS} + \frac{V_c}{2} - V_{TH} \right) \left( \frac{V_{in}}{2} \right) - \frac{1}{2} \left( \frac{V_{in}}{2} \right)^2 \right] \right]$$

<25>      **【수학식 2】** 
$$I_{N22} = K \left[ \left[ \left( V_{GS} + \frac{V_c}{2} - V_{TH} \right) \left( -\frac{V_{in}}{2} \right) - \frac{1}{2} \left( -\frac{V_{in}}{2} \right)^2 \right] \right]$$

<26>      **【수학식 3】** 
$$I_{N23} = K \left[ \left[ \left( V_{GS} - \frac{V_c}{2} - V_{TH} \right) \left( \frac{V_{in}}{2} \right) - \frac{1}{2} \left( \frac{V_{in}}{2} \right)^2 \right] \right]$$

<27>      **【수학식 4】** 
$$I_{N24} = K \left[ \left[ \left( V_{GS} + \frac{V_c}{2} - V_{TH} \right) \left( -\frac{V_{in}}{2} \right) - \frac{1}{2} \left( -\frac{V_{in}}{2} \right)^2 \right] \right]$$

<28> 여기서,  $v_c = (V_{c+}) - (V_{c-})$ ,  $K = \mu C_{ox}(W/L)$ ,  $V_{TH}$ 는 트랜지스터의 문턱 전압(threshold voltage)이다.

<29> 따라서, 전류 공유 회로(12)로부터 다음 단의 전류-전압 변환기(13)에 인가되는 차동 출력 전류(differential output current)는 [수학식 5]와 같고, 이 출력 전류는 출력 단 부하에 의해 출력 전압( $V_o$ )으로 변환되어 출력된다.

<30> **【수학식 5】**  $I_O = I_{N21} + I_{N24} - I_{N22} - I_{N23}$

<31> 또한, 각 트랜지스터가 선형 영역(triode region)에서 동작하는 조건은 [수학식 6]과 같다.

<32> **【수학식 6】**  $V_{GS} > V_{TH}, V_{GS} - V_{TH} > V_{DS}$

<33> 여기서,  $V_{GS}$ 는 각 트랜지스터의 게이트(gate)-소오스(source) 전압,  $V_{DS}$ 는 드레인(drain)-소오스(source) 전압이다.

<34> 전류-전압 변환기(13)는 전류 공유 회로(12)로부터 가변 전류를 입력하여 출력 전압으로 변환하는데, 제 1 및 제 2 전류원( $I_{s1}$  및  $I_{s2}$ )에 의해 전류 바이어스가 결정되며, 이는 가변 이득 증폭기의 선형성(linearity) 및 부하 구동 능력(driving capability)과 연계된다. 전류 입력 형태(current inputted type)로 인가된 전류에 안정된 직류 바이어스 레벨에서 동작시키기 위해 바이어스 전압( $V_{b1}$ )을 게이트 전압으로 입력하는 제 5 및 제 6 NMOS 트랜지스터( $N_{25}$  및  $N_{26}$ )는 가변 이득 증폭기 출력단에서의 공통 모드(common mode) 전압을 안정하게 하는 역할을 한다.

<35> 도 3은 도 2에서 전류-전압 변환기의 저항을 직류 바이어스에서 선형성이 보장되는 넓은 입력 신호 범위를 가지기 위해 MOS 트랜지스터로 구성된 차동 소오스 폴로우

(differential source follower) 회로로 변형한 본 발명의 다른 실시 예에 따른 CMOS 가변 이득 증폭기의 회로도로서, 소오스 임피던스의 크기를 잘 고려하여 구현하여야 하는데, 그 구성을 설명하면 다음과 같다.

- <36> 전압-전류 변환기(11)는 입력 전압을 차동 입력하는 제 1 및 제 2 NMOS 트랜지스터(N301 및 N302)와 제 1 및 제 2 전류원(Is1 및 Is2)으로 구성된 차동 소오스 폴로우로 구성된다. 제 1 NMOS 트랜지스터(N301)는 전원 단자(Vdd)와 제 1 노드(Q31) 사이에 접속되어 제 1 입력 전압(Vin+)에 따라 구동되고, 제 2 NMOS 트랜지스터(N302)는 전원 단자(Vdd)와 제 2 노드(Q32) 사이에 접속되어 제 2 입력 전압(Vin-)에 따라 구동된다. 제 1 노드(Q31)와 접지 단자(Vss) 사이에는 제 1 전류원(Is1)이 접속되고, 제 2 노드(Q32)와 접지 단자(Vss) 사이에는 제 2 전류원(Is2)이 접속된다.
- <37> 전류 공유 회로(12)는 제 1 조절 전압(Vc+)에 따라 구동되는 제 3 및 제 4 NMOS 트랜지스터(N303 및 N304)와 제 2 조절 전압(Vc-)에 따라 구동되는 제 5 및 제 6 NMOS 트랜지스터(N305 및 N306)로 구성된다. 제 3 NMOS 트랜지스터(N303)는 제 1 노드(Q31)와 제 3 노드(Q33) 사이에 접속되며 제 1 조절 전압(Vc+)에 따라 구동되고, 제 4 NMOS 트랜지스터(N304)는 제 2 노드(Q32)와 제 4 노드(Q34) 사이에 접속되며 제 1 조절 전압(Vc+)에 따라 구동된다. 제 5 NMOS 트랜지스터(N305)는 제 1 노드(Q31)와 제 4 노드(Q34) 사이에 접속되며 제 2 조절 전압(Vc-)에 따라 구동되고, 제 6 NMOS 트랜지스터(N306)는 제 2 노드(Q32)와 제 3 노드(Q33) 사이에 접속되며 제 2 조절 전압(Vc-)에 따라 구동된다.
- <38> 전류-전압 변환기(13)는 제 1 및 제 2 저항(R31 및 R32), 제 1 바이어스 전압(Vb1)에 따라 구동되는 제 7 및 제 8 NMOS 트랜지스터(N307 및 N308), 그리고 제 2 바이어스 전압(Vb2)에 따라 구동되는 제 9 및 제 10 NMOS 트랜지스터(N309 및 N310)로 구성된다.

전원 단자(Vdd)와 제 1 출력 단자( $V_{o+}$ ) 사이에 제 1 저항( $R_{31}$ )이 접속되고, 전원 단자(Vdd)와 제 2 출력 단자( $V_{o-}$ ) 사이에 제 2 저항( $R_{32}$ )이 접속된다. 제 1 출력 단자( $V_{o+}$ )와 제 3 노드(Q33) 사이에 제 1 바이어스 전압( $V_{b1}$ )에 따라 구동되는 제 7 NMOS 트랜지스터(N307)가 접속되고, 제 2 출력 단자( $V_{o-}$ )와 제 4 노드(Q34) 사이에 제 1 바이어스 전압( $V_{b1}$ )에 따라 구동되는 제 8 NMOS 트랜지스터(N308)가 접속된다. 그리고, 제 3 노드(Q33)와 접지 단자( $V_{ss}$ ) 사이에 제 2 바이어스 전압( $V_{b2}$ )에 따라 구동되는 제 9 NMOS 트랜지스터(N309)가 접속되고, 제 4 노드(Q34)와 접지 단자( $V_{ss}$ ) 사이에 제 2 바이어스 전압( $V_{b2}$ )에 따라 구동되는 제 10 NMOS 트랜지스터(N310)가 접속된다.

<39>      상기와 같이 구성되는 본 발명의 다른 실시 예에 따른 가변 이득 증폭기의 전압-전류 변환기(11)는 제 1 및 제 2 입력 전압( $V_{in+}$  및  $V_{in-}$ )을 차동 입력하는 제 1 및 제 2 NMOS 트랜지스터(N31 및 N32)와 이들의 소오스 단자와 연결된 제 1 및 제 2 전류원( $I_{s1}$  및  $I_{s2}$ )에 의해 제 1 및 제 2 노드(Q31 및 Q32)를 통해 출력되는 전류가 결정된다.

<40>      도 4는 도 3에서의 저항으로 구성된 출력 부하를 능동 부하 회로로 변형한 본 발명의 또다른 실시 예에 따른 CMOS 가변 이득 증폭기의 회로도로서, 그 구성을 설명하면 다음과 같다.

<41>      전압-전류 변환기(11)는 입력 전압을 차동 입력하는 제 1 및 제 2 NMOS 트랜지스터(N401 및 N402)와 제 1 및 제 2 전류원( $I_{s1}$  및  $I_{s2}$ )으로 구성된 차동 소오스 폴로우로 구성된다. 제 1 NMOS 트랜지스터(N401)는 전원 단자(Vdd)와 제 1 노드(Q41) 사이에 접속되어 제 1 입력 전압( $V_{in+}$ )에 따라 구동되고, 제 2 NMOS 트랜지스터(N402)는 전원 단자(Vdd)와 제 2 노드(Q42) 사이에 접속되어 제 2 입력 전압( $V_{in-}$ )에 따라 구동된



다. 제 1 노드(Q41)와 접지 단자( $V_{ss}$ ) 사이에는 제 1 전류원( $I_{s1}$ )이 접속되고, 제 2 노드(Q42)와 접지 단자( $V_{ss}$ ) 사이에는 제 2 전류원( $I_{s2}$ )이 접속된다.

<42> 전류 공유 회로(12)는 제 1 조절 전압( $V_{c+}$ )에 따라 구동되는 제 3 및 제 4 NMOS 트랜지스터(N403 및 N404)와 제 2 조절 전압( $V_{c-}$ )에 따라 구동되는 제 5 및 제 6 NMOS 트랜지스터(N405 및 N406)로 구성된다. 제 3 NMOS 트랜지스터(N403)는 제 1 노드(Q41)와 제 3 노드(Q43) 사이에 접속되며 제 1 조절 전압( $V_{c+}$ )에 따라 구동되고, 제 4 NMOS 트랜지스터(N404)는 제 2 노드(Q42)와 제 4 노드(Q44) 사이에 접속되며 제 1 조절 전압( $V_{c+}$ )에 따라 구동된다. 제 5 NMOS 트랜지스터(N405)는 제 1 노드(Q41)와 제 4 노드(Q44) 사이에 접속되며 제 2 조절 전압( $V_{c-}$ )에 따라 구동되고, 제 6 NMOS 트랜지스터(N406)는 제 2 노드(Q42)와 제 3 노드(Q43) 사이에 접속되며 제 2 조절 전압( $V_{c-}$ )에 따라 구동된다.

<43> 전류-전압 변환기(13)는 제 1 및 제 2 능동 부하(41 및 42), 제 1 바이어스 전압( $V_{b1}$ )에 따라 구동되는 제 7 및 제 8 NMOS 트랜지스터(N407 및 N408), 그리고 제 2 바이어스 전압( $V_{b2}$ )에 따라 구동되는 제 9 및 제 10 NMOS 트랜지스터(N409 및 N410)로 구성된다. 전원 단자( $V_{dd}$ )와 제 1 출력 단자( $V_{o+}$ ) 사이에 접속된 제 1 능동 부하(41)는 전원 단자( $V_{dd}$ )와 제 5 노드(Q45) 사이에 접속되며 제 6 노드(Q46)의 전위에 따라 구동되는 제 1 PMOS 트랜지스터(P401), 전원 단자( $V_{dd}$ )와 제 6 노드(Q46) 사이에 접속되며 제 5 노드(Q45)의 전위에 따라 구동되는 제 11 NMOS 트랜지스터(N411), 그리고 제 6 노드(Q46)와 접지 단자( $V_{ss}$ ) 사이에 병렬 접속된 제 3 전류원( $I_{s3}$ ) 및 제 1 캐패시터(C401)로 구성된다. 전원 단자( $V_{dd}$ )와 제 2 출력 단자( $V_{o-}$ ) 사이에 접속된 제 2 능동 부하(42)는 전원 단자( $V_{dd}$ )와 제 7 노드(Q47) 사이에 접속되며 제 8 노드(Q48)의 전위에 따라 구동되는 제 2 PMOS 트랜지스터(P402), 전원 단자( $V_{dd}$ )와 제 8 노드(Q48) 사이에 접속되며

제 7 노드(Q47)의 전위에 따라 구동되는 제 12 NMOS 트랜지스터(N412), 그리고 제 8 노드(Q48)와 접지 단자(Vss) 사이에 병렬 접속된 제 4 전류원(Is4) 및 제 2 캐패시터(C402)로 구성된다. 제 1 출력 단자(Vo+)와 제 3 노드(Q43) 사이에 제 1 바이어스 전압(Vb1)에 따라 구동되는 제 7 NMOS 트랜지스터(N407)가 접속되고, 제 2 출력 단자(Vo-)와 제 4 노드(Q44) 사이에 제 1 바이어스 전압(Vb1)에 따라 구동되는 제 8 NMOS 트랜지스터(N408)가 접속된다. 그리고, 제 3 노드(Q43)와 접지 단자(Vss) 사이에 제 2 바이어스 전압(Vb2)에 따라 구동되는 제 9 NMOS 트랜지스터(N409)가 접속되고, 제 4 노드(Q44)와 접지 단자(Vss) 사이에 제 2 바이어스 전압(Vb2)에 따라 구동되는 제 10 NMOS 트랜지스터(N410)가 접속된다.

<44> 본 발명의 또다른 실시 예에 따른 가변 이득 증폭기의 전류-전압 변환기(13)는 저항 대신에 능동 부하를 이용하여 출력 부하를 구성함으로써 이득 크기 및 저전압 동작과 주파수 특성을 개선할 수 있다. 즉, 도 4에서 제 1 및 제 2 PMOS 트랜지스터(P401 및 P402)는 제 11 및 제 12 NMOS 트랜지스터(N411 및 N412)와 제 3 및 제 4 전류원(Is3 및 Is4)에 의해 안정된 바이어스를 공급하고, 제 1 및 제 2 캐패시터(C401 및 C402)에 의해 주파수 특성을 개선함으로써 저항으로 구성된 부하보다 저전압, 고이득을 가지며 광대역(wideband)에서 동작시킬 수가 있게 된다. 즉, 제 1 및 제 2 PMOS 트랜지스터(P401 및 P402)의 트랜스컨덕턴스의 역수가 대략적인 출력 부하의 크기가 되며 이는 저항 부하보다 저전압 범위에서도 큰 값을 가질 수 있어 고이득 실현이 가능하고, 제 1 및 제 2 PMOS 트랜지스터(P401 및 P402)와 제 11 및 제 12 NMOS 트랜지스터(N411 및 N412)의 부궤환(negative feedback) 접속에 의해 보다 안정된 출력단 직류 전압 레벨을 유지하게 되며, 또 주파수 보상 캐패시턴스(frequency compensation capacitance)를 사용함으로써

높은 주파수 영역에서 동작시킬 수 있는 장점이 있다. 본 발명에 따른 가변 이득 증폭기의 주파수 특성은 부하 저항 또는 능동 부하 PMOS 트랜지스터(P401 및 P402)의 드레인단에서의 기생 캐패시턴스에 의해 좌우되므로 구성 소자의 크기를 최적화하면 양호한 주파수 특성을 얻을 수 있다.

#### 【발명의 효과】

<45> 상술한 바와 같이 본 발명에 의하면 전류 공유 회로를 구비하고 가변 전류 발생부와 출력단 전압 발생 회로를 별도로 구비하여 낮은 공급 전원에서 저왜곡(low distortion) 및 고대역(high frequency bandwidth)의 특성을 갖는 CMOS 가변 이득 증폭기를 간단하게 구현할 수 있으며, 그에 따라 면적을 최소화할 수 있고, 집적회로 내에 내장할 수 있다. 또한, 낮은 전원 공급 영역 또는 필요에 따라 신호 모드 설정이 가능한 기능을 가지고 있다.



**【특허청구범위】****【청구항 1】**

넓은 범위의 전압을 입력하여 전류로 변환시키기 위한 전압-전류 변환기;

상기 전압-전류 변환기로부터의 전류를 입력하고 제 1 및 제 2 조절 전압에 따라 출력 전류의 크기를 조절하기 위한 전류 공유 회로; 및

상기 전류 공유 회로로부터의 출력 전류를 입력하여 바이어스 전압에 따라 차동 전압으로 변환시켜 가변 이득을 얻기 위한 전류-전압 변환기를 포함하여 이루어진 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 2】**

제 1 항에 있어서, 상기 전압-전류 변환기는 제 1 입력 전압을 전류로 변환시키기 위한 제 1 저항; 및

제 2 입력 전압을 전류로 변환시키기 위한 제 2 저항으로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 3】**

제 1 항에 있어서, 상기 전압-전류 변환기는 전원 단자와 제 1 출력 단자 사이에 접속되어 상기 제 1 입력 전압에 따라 구동되는 제 1 NMOS 트랜지스터;

상기 전원 단자와 제 2 출력 단자 사이에 접속되어 상기 제 2 입력 전압에 따라 구동되는 제 2 NMOS 트랜지스터;

상기 제 1 출력 단자와 접지 단자 사이에 접속된 제 1 전류원; 및

상기 제 2 출력 단자와 접지 단자 사이에 접속된 제 2 전류원으로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

【청구항 4】

제 1 항에 있어서, 상기 전류 공유 회로는 제 1 입력 단자와 제 1 출력 단자 사이에 접속되어 제 1 조절 전압에 따라 구동되는 제 1 NMOS 트랜지스터;

제 2 입력 단자와 제 2 출력 단자 사이에 접속되어 상기 제 1 조절 전압에 따라 구동되는 제 2 NMOS 트랜지스터;

상기 제 1 입력 단자와 상기 제 2 출력 단자 사이에 접속되어 제 2 조절 전압에 따라 구동되는 제 3 NMOS 트랜지스터;

상기 제 2 입력 단자와 상기 제 1 출력 단자 사이에 접속되어 상기 제 2 조절 전압에 따라 구동되는 제 4 NMOS 트랜지스터로 이루어져, 상기 제 1 내지 제 4 NMOS 트랜지스터의 트랜스컨덕턴스를 조절하여 출력 전류를 조절하는 것을 특징으로 하는 가변 이득 증폭기.

【청구항 5】

제 1 항에 있어서, 상기 전류-전압 변환기는 제 1 입력 단자와 제 1 출력 단자 사이에 접속되어 바이어스 전압에 따라 구동되는 제 1 NMOS 트랜지스터;

제 2 입력 단자와 제 2 출력 단자 사이에 접속되어 상기 바이어스 전압에 따라 구동되는 제 2 NMOS 트랜지스터;

상기 제 1 입력 단자 및 상기 제 2 출력 단자와 접지 단자 사이에 각각 접속된 제 1 및 제 2 전류원; 및

상기 제 1 및 제 2 출력 단자와 전원 단자 사이에 각각 접속된 제 1 및 제 2 저항으로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 6】**

제 1 항에 있어서, 상기 전류-전압 변환기는 제 1 입력 단자와 제 1 출력 단자 사이에 접속되어 제 1 바이어스 전압에 따라 구동되는 제 1 NMOS 트랜지스터;

제 2 입력 단자와 제 2 출력 단자 사이에 접속되어 상기 제 1 바이어스 전압에 따라 구동되는 제 2 NMOS 트랜지스터;

상기 제 1 입력 단자와 접지 단자 사이에 접속되어 제 2 바이어스 전압에 따라 구동되는 제 3 NMOS 트랜지스터;

상기 제 2 입력 단자와 상기 접지 단자 사이에 접속되어 상기 제 2 바이어스 전압에 따라 구동되는 제 4 NMOS 트랜지스터; 및

상기 제 1 및 제 2 출력 단자와 전원 단자 사이에 각각 접속된 제 1 및 제 2 부하 수단으로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 7】**

제 6 항에 있어서, 상기 제 1 및 제 2 부하 수단은 각각 저항인 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 8】**

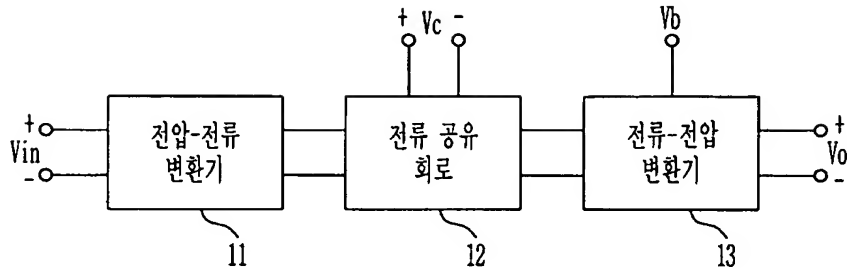
제 6 항에 있어서, 상기 제 1 및 제 2 부하 수단 각각은 전원 단자와 출력 단자 사이에 접속되어 제 1 노드의 전위에 따라 구동되는 PMOS 트랜지스터;

상기 출력 단자와 제 1 노드 사이에 접속되어 상기 출력 단자의 전위에 따라 구동되는 NMOS 트랜지스터; 및

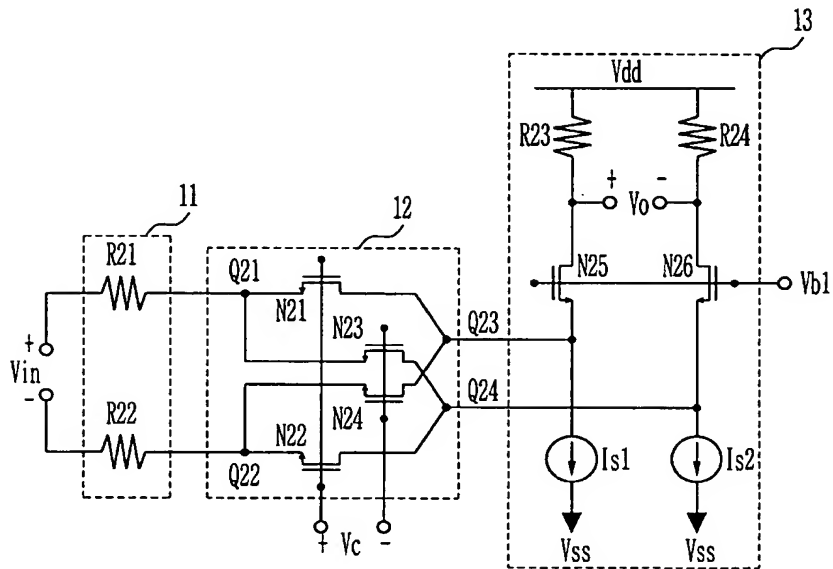
상기 제 1 노드와 접지 단자 사이에 접속되며 각각 병렬 접속된 캐패시터 및 전류원으로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

【도면】

【도 1】

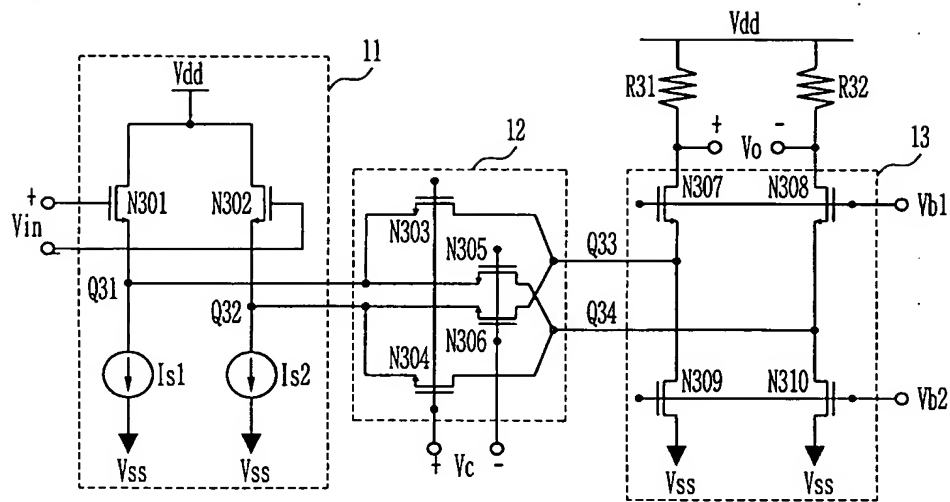


【도 2】





【도 3】



【도 4】

